

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-068682

(43)Date of publication of application : 11.03.1994

(51)Int.Cl.

G11C 16/06

(21)Application number : 04-244323

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 20.08.1992

(72)Inventor : INOUE HIROHIKO

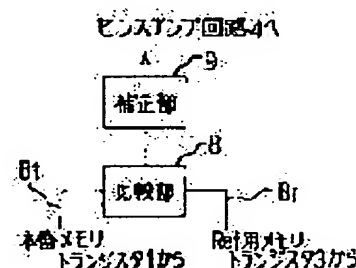
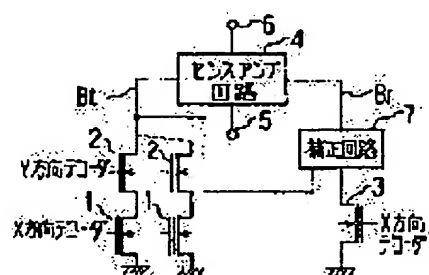
## (54) MEMORY DEVICE

### (57)Abstract:

**PURPOSE:** To stably read out data even if writing and deletion are repeated by compensating an inputted value to a sense amplifier from a memory transistor for Reference in accordance with ascending of threshold value voltage of a regular transistor memory.

**CONSTITUTION:** When data is read out from a memory, voltage of a bit line Bt of a regular memory transistor(Tr) 1 is compared with voltage of a bit line Br of a memory transistor for Reference Tr3. When threshold value voltage of a blank state of the memory Tr ascends due to writing and deletion of a memory, voltage of the bit line Bt of the Tr1 ascends, and it cause voltage difference between voltage of the bit line Br of the Tr3 and voltage mentioned above. A compensating section 9

compensates voltage of the bit line Br in accordance with the difference. Thereby, data can be stably read out from the memory even if threshold value voltage of the blank state of the memory Tr is varied.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than  
the examiner's decision of rejection or  
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(J P)

(12) 公開特許公報(A)

(31)特許出願公開番号

特開平6-68682

(43)公開日 平成6年(1994)3月11日

(51)Int.Cl.<sup>5</sup>

G11C 16/06

識別記号

庁内整理番号

6741-5L

F I

G11C 17/00

技術表示箇所

309 B

審査請求 未請求 請求項の数1(全4頁)

(21)出願番号 特願平4-244323

(22)出願日 平成4年(1992)8月20日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 井上 博彦

伊丹市瑞原4丁目1番地 三菱電機株式会

社北伊丹製作所内

(74)代理人 弁理士 宮園 純一

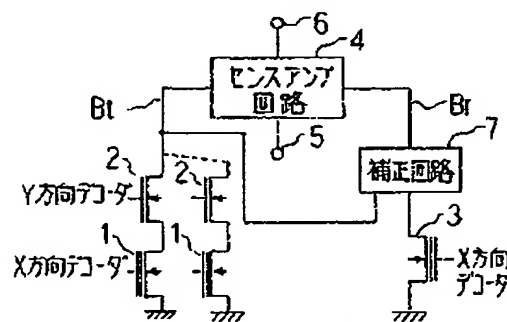
(54)【発明の名称】 メモリ装置

(57)【要約】

【目的】 EPROMの消去、書き込み回数が増えても、安定してデータを読み出せるようにする。

【構成】 センスアンプ回路4に入力されるRef用メモリトランジスタ3のビット線Brの電圧を、本番メモリトランジスタ1のビット線Btの電圧に応じて補正する補正回路7を備えた。

【効果】 消去、書き込みにより、EPROMのメモリトランジスタにおけるブランク状態のしきい値電圧 $V_{th}$ が上昇しても、安定してデータを読み出すことができる。



1; 本番メモリトランジスタ、2; Nチャネルトランジスタ、  
3; Ref用メモリトランジスタ、5; 制御端子、  
6; 出力端子

(2)

特開平6-68682

1

2

## 【特許請求の範囲】

【請求項1】 データの書き込み、読み出し、消去等が行われる第1のメモリトランジスタと、この第1のメモリトランジスタの内容を判定するための基準となる第2のメモリトランジスタと、上記第1のメモリトランジスタから読み出した値を第2メモリトランジスタの値に基づき判定して出力するセンスアンプ回路とを有するメモリ装置において、上記第2のメモリトランジスタからセンスアンプ回路に入力される値を上記第1のメモリトランジスタから読み出される値に基づき補正する補正手段を備えたことを特徴とするメモリ装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明はメモリ装置に係り、特にメモリからデータを読み出すセンスアンプ回路に関するものである。

【0002】

【従来の技術】 図4は、従来技術におけるセンスアンプ回路周辺の構成図である。図において、1は実際にデータの書き込み、読み出し、消去等が行われる第1のメモリトランジスタとしての本番メモリトランジスタで、ソースはグラウンドに接地され、ゲートはx方向デコーダに接続されている。2はy方向セレクトで、Nチャネルトランジスタで構成され、ソースは上記本番メモリトランジスタ1のドレインに、ゲートはy方向デコーダに接続されている。3は上記本番メモリトランジスタ1の内容を判定するための基準となる第2のメモリトランジスタとしてのRe f用メモリトランジスタで、ソースはグラウンドに接地され、ゲートはx方向デコーダに接続されている。4は上記本番メモリトランジスタ1から読み出した値をRe f用メモリトランジスタ3の値に基づき判定して出力するセンスアンプ回路で、一方の入力端子はNチャネルトランジスタ2のドレイン（ビット線B t）と接続され、他方の入力端子はRe f用メモリトランジスタ3のドレイン（ビット線B r）と接続されている。また、センスアンプ回路4には、制御端子5と出力端子6が設けられている。

【0003】 次に従来技術の動作について説明する。図5にセンスアンプ回路4がメモリからデータを読み出す場合のタイミングチャートを、そして、図6にセンスアンプ回路4の“H”、“L”レベルの判定の仕方について示す。メモリからデータを読み出す場合、図示されていないがアドレスバスにアドレスが入力されると、アドレスがx方向デコーダとy方向デコーダに分解され、本番メモリトランジスタ1の内のx方向デコーダとy方向デコーダで指定されるメモリトランジスタと、Re f用メモリトランジスタ3の内のx方向デコーダで指定されるメモリトランジスタを選択する。この時、制御端子5に例えば“L”レベルの電圧が印加されると、センスアンプ回路4はセンスを開始し、選択されたメモリトラン

ジスタのビット線B tの電圧と選択されたRe f用メモリトランジスタのビット線B rの電圧を比較し、選択されたメモリトランジスタのデータが“0”なのか“1”なのかを判定する。つまり、図6に示すように、例えば、（選択されたメモリトランジスタのビット線B tの電圧）<（Re f用メモリトランジスタのビット線B rの電圧）の場合、センスアンプ回路4は選択されたメモリトランジスタのデータを“1”と判定し、出力端子6に“H”レベルの信号を出力する。一方、（選択されたメモリトランジスタのビット線B tの電圧）>（Re f用メモリトランジスタのビット線B rの電圧）の場合、センスアンプ回路4は選択されたメモリトランジスタのデータを“0”と判定し、出力端子6に“L”レベルの信号を出力する。なお、判定に一定の基準電圧を用いずRe f用メモリトランジスタの値を用いる理由は、メモリ素子の場合、製造中のプロセス的なバラツキによりメモリトランジスタのしきい値電圧V t hにバラツキが生じ、メモリ素子毎に判定の基準となる値が異なるからであり、同一条件で製造されたRe f用メモリトランジスタの値を判定の基準としている。

【0004】

【発明が解決しようとする課題】 従来のこの値のメモリ装置は以上のように構成されているので、メモリ素子毎にRe f側のビット線の電圧は常に一定であるため、EPROM等の不揮発性メモリで書き込み、消去という動作を繰り返し行くと、メモリトランジスタのブランク状態（メモリトランジスタのフローティングゲートに電荷が蓄積されていない状態）におけるしきい値電圧V t hが上昇（つまり、メモリトランジスタのビット線B tの電圧が上昇）するために、メモリトランジスタがブランク状態でのビット線B tの電圧とRe f用メモリトランジスタのビット線B rの電圧とのマージンがなくなり、センスアンプ回路は、メモリトランジスタのデータを正確に判定できなくなるという問題点があった。

【0005】 この発明は上記のような問題点を解消するためになされたもので、書き込み、消去を繰り返し行っても、安定してメモリのデータを読み出すことができ、書き込み、消去の衰効回数を増やすことを可能としたメモリ装置を得ることを目的とする。

【0006】

【課題を解決するための手段】 この発明に係るメモリ装置は、データの書き込み、読み出し、消去等が行われる第1のメモリトランジスタと、この第1のメモリトランジスタの内容を判定するための基準となる第2のメモリトランジスタと、上記第1のメモリトランジスタから読み出した値を第2のメモリトランジスタの値に基づき判定して出力するセンスアンプ回路とを有するメモリ装置において、上記第2のメモリトランジスタからセンスアンプ回路に入力される値を上記第1のメモリトランジスタから読み出される値に基づき補正する補正手段を備え

(3)

特開平6-68682

3

4

たものである。

【0007】

【作用】この発明においては、第2のメモリトランジスタ、すなわちR<sub>ef</sub>用メモリトランジスタからセンスアンプ回路に入力される値を、第1のメモリトランジスタ、すなわち本番メモリトランジスタのしきい値電圧V<sub>th</sub>の上昇に応じて補正できるので、書き込み、消去を繰り返して行ってもデータを安定して読み出せる。

【0008】

【実施例】以下、この発明の一実施例を図について説明する。図1は、この発明の一実施例を示す構成図である。図において、1は実際にデータの書き込み、読み出し、消去等が行われる第1のメモリトランジスタとしての本番メモリトランジスタで、ソースはグラウンドに接地され、ゲートはx方向デコーダに接続されている。2はy方向セレクトで、Nチャネルトランジスタで構成され、ソースは上記本番メモリトランジスタ1のドレインに、ゲートはy方向デコーダに接続されている。3は上記本番メモリトランジスタ1の内容を判定するための基準となる第2のメモリトランジスタとしてのR<sub>ef</sub>用メモリトランジスタで、ソースはグラウンドに接地され、ゲートはx方向デコーダに接続されている。7は上記R<sub>ef</sub>用メモリトランジスタ3からセンスアンプ回路4に入力される値（ビット線B<sub>r</sub>の電圧）を本番メモリトランジスタ1から読み出される値（ビット線B<sub>t</sub>の電圧）に基づき補正する補正回路で、一方の入力端子はR<sub>ef</sub>用メモリトランジスタ3のドレイン（ビット線B<sub>r</sub>）に接続され、他方の入力端子はNチャネルトランジスタ2のドレイン（ビット線B<sub>t</sub>）に接続されている。4は上記本番メモリトランジスタ1から読み出した値を上記補正回路7を介して入力されるR<sub>ef</sub>用メモリトランジスタ3の値に基づき判定して出力するセンスアンプ回路で、一方の入力端子はNチャネルトランジスタ2のドレイン（ビット線B<sub>t</sub>）と接続され、他方の入力端子は上記補正回路7の出力（ビット線B<sub>r</sub>）と接続されている。

【0009】図2は上記補正回路7の構成を示すブロック図である。図において、8は比較部で、2つの入力端子がそれぞれ本番メモリトランジスタ1とR<sub>ef</sub>用メモリトランジスタ3からのビット線B<sub>t</sub>、B<sub>r</sub>に接続されている。9は補正部で、その入力端子は上記比較部8の出力端子に接続され、出力端子はセンスアンプ回路4のビット線B<sub>r</sub>の入力端子に接続されている。

【0010】次に、この実施例の動作について説明する。メモリからデータを読み出すタイミングは従来技術と同じであるので説明を省略する。メモリからデータを読み出す場合、補正回路7内の比較部8で、本番メモリトランジスタ1のビット線B<sub>t</sub>の電圧とR<sub>ef</sub>用メモリトランジスタ3のビット線B<sub>r</sub>の電圧を比較する。本番メモリトランジスタ1のビット線B<sub>t</sub>の電圧とR<sub>ef</sub>用メモリトランジスタ3のビット線B<sub>r</sub>の電圧の間で差が

生じないときは、補正部9でR<sub>ef</sub>側のビット線B<sub>r</sub>の補正は行わないが、メモリの書き込み、消去により、メモリトランジスタのブランク状態のしきい値電圧V<sub>th</sub>が上昇してくると本番メモリトランジスタ1のビット線B<sub>t</sub>の電圧が上昇するので、本番メモリトランジスタ1のビット線B<sub>t</sub>とR<sub>ef</sub>用メモリトランジスタ3のビット線B<sub>r</sub>を比較すると差が生じる。補正部9はその差に応じて図3に示すようにR<sub>ef</sub>側のビット線B<sub>r</sub>に補正をかける。つまり、差が小さい時は、その差に応じてR<sub>ef</sub>側のビット線B<sub>r</sub>の電圧も上げるが、差が大きくなると、R<sub>ef</sub>側のビット線B<sub>r</sub>の電圧は一定値をとるように設定する。こうすることにより、メモリトランジスタのブランク状態のしきい値電圧V<sub>th</sub>が変化しても安定してメモリからデータを読み出すことができる。

【0011】上記補正において、R<sub>ef</sub>用メモリトランジスタ3のビット線B<sub>r</sub>の電圧の上昇を一定値で抑える意味は次の通りである。すなわち、EPROM部のメモリトランジスタにデータの書き込み、紫外線による消去を繰り返して行くと、メモリトランジスタのブランク状態（メモリトランジスタのフローティングゲートに電荷が蓄積されていない状態）のしきい値電圧V<sub>th</sub>が上昇（つまり、メモリトランジスタ1のビット線B<sub>t</sub>の電圧が上昇）し、R<sub>ef</sub>用メモリトランジスタ3のビット線B<sub>r</sub>の電圧を越え、センスアンプ回路4は、メモリトランジスタ1がブランク状態であると判定できなくなる。そこで、本番メモリトランジスタ1のブランク状態のビット線B<sub>t</sub>の電圧とR<sub>ef</sub>用メモリトランジスタ3のブランク状態のビット線B<sub>r</sub>の電圧を比較し、本番メモリトランジスタ1のブランク状態のビット線B<sub>t</sub>の電圧が高い場合には、補正回路7によりセンスアンプ回路4のR<sub>ef</sub>電圧入力側の電圧を上げるという補正を行うが、R<sub>ef</sub>電圧入力側の電圧の上昇に上限を設定しておかないと、逆にメモリトランジスタ1のフローティングゲートに電荷が蓄積された状態が読み出せなくなるので、メモリトランジスタ1のブランク状態のビット線B<sub>t</sub>とR<sub>ef</sub>用メモリトランジスタ3のブランク状態のビット線B<sub>r</sub>の電圧差が大きくなると、R<sub>ef</sub>電圧入力側の電圧がある一定値をとるようにしたものである。

【0012】

【発明の効果】以上のように、この発明によれば、データの書き込み、読み出し、消去等が行われる第1のメモリトランジスタと、この第1のメモリトランジスタの内容を判定するための基準となる第2のメモリトランジスタと、上記第1のメモリトランジスタから読み出した値を第2のメモリトランジスタの値に基づき判定して出力するセンスアンプ回路とを有するメモリ装置において、上記第2のメモリトランジスタからセンスアンプ回路に入力される値を上記第1のメモリトランジスタから読み出される値に基づき補正する補正手段を備えたので、EPROM等の消去、書き込み回数に応じて、メモリトラン

(4)

特開平6-68682

5

5

ンジスタのblank状態のしきい値電圧 $V_{th}$ が上昇しても、安定してメモリからデータを読み出すことができるという効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例を示す構成図である。

【図2】実施例における補正回路の構成を示すブロック図である。

【図3】実施例における補正回路の動作説明図である。

【図4】従来例を示す構成図である。

【図5】従来例におけるセンスアンプ回路のタイミングチャートである。

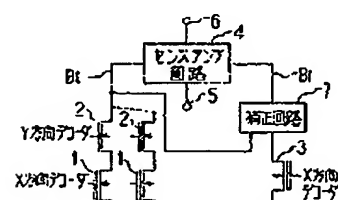
【図6】従来例におけるセンスアンプ回路の動作説明図である。

\*【符号の説明】

- 1 本番メモリトランジスタ（第1のメモリトランジスタ）
- 2 Nチャネルトランジスタ
- 3 Ref用メモリトランジスタ（第2のメモリトランジスタ）
- 4 センスアンプ回路
- 5 制御端子
- 6 出力端子
- 7 補正回路（補正手段）
- 8 比較部
- 9 補正部

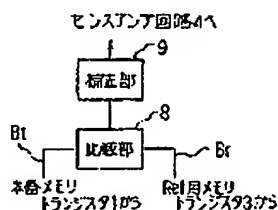
\*

【図1】



1: 本番メモリトランジスタ、2: Nチャネルトランジスタ、3: 参照メモリトランジスタ、5: 制御端子、6: 出力端子

【図2】

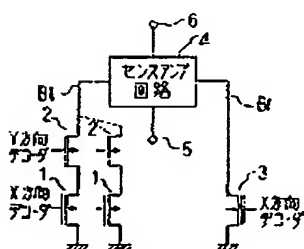


【図3】



【図6】

【図4】



【図5】

